

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Tetsuya MATSUTANI :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed July 31, 2003 : Attorney Docket No. 2003\_1039A  
CONTACT HOLE FORMATION METHOD

---

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450


Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2002-254317, filed August 30, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Tetsuya MATSUTANI

By   
Charles R. Watts  
Registration No. 33,142  
Attorney for Applicant

CRW/asd  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
July 31, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-254317

[ST.10/C]:

[JP2002-254317]

出 願 人

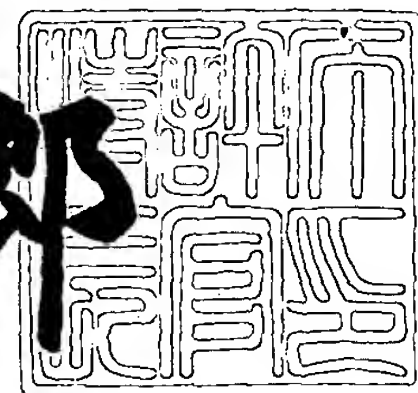
Applicant(s):

松下電器産業株式会社

2003年 3月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021636

【書類名】 特許願

【整理番号】 2926440042

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3065

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 松谷 哲也

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2 0 0 2 - 2 5 4 3 1 7

【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 コンタクトホールの形成方法

【特許請求の範囲】

【請求項 1】 ゲート電極が密に形成されている領域とゲート電極が疎に形成されている領域に対して、コンタクトホールを形成する方法であって、

トランジスタが形成された半導体基板上に第 1 の絶縁膜を堆積する工程と、  
前記第 1 の絶縁膜を平坦化する工程と、

前記第 1 の絶縁膜上に、前記第 1 の絶縁膜とエッチングレートの異なる第 2 の絶縁膜を堆積する工程と、

前記第 1 の絶縁膜および前記第 2 の絶縁膜に前記半導体基板に達するコンタクトホールを形成する工程と、を備えることを特徴とするコンタクトホールの形成方法。

【請求項 2】 前記第 2 の絶縁膜の平坦化を行う工程を備えることを特徴とする、請求項 1 記載のコンタクトホールの形成方法。

【請求項 3】 前記第 1 の絶縁膜は、BPSG 膜であることを特徴とする、請求項 1 記載のコンタクトホールの形成方法。

【請求項 4】 前記第 1 の絶縁膜を平坦化した後、前記第 1 の絶縁膜表面に析出物が生成する前に、前記第 1 の絶縁膜上に絶縁膜を堆積することを特徴とする、請求項 3 記載のコンタクトホールの形成方法。

【請求項 5】 前記第 1 の絶縁膜を平坦化した後、前記第 1 の絶縁膜上に絶縁膜を堆積するまでの時間が、24 時間以内であることを特徴とする、請求項 4 記載のコンタクトホールの形成方法。

【請求項 6】 前記第 1 の絶縁膜を平坦化した後、前記第 1 の絶縁膜表面の析出物を除去する工程を備えることを特徴とする、請求項 1 又は 3 記載のコンタクトホールの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線の形成に関するものである。

## 【 0 0 0 2 】

## 【従来の技術】

半導体デバイスの高集積化に伴い、ゲート電極の幅およびピッチの縮小が進んでいる。

## 【 0 0 0 3 】

具体的にはゲート電極間の最小スペースは、 $0.18\mu\text{m}$ 以下のルールでは $0.3\mu\text{m}$ 以下となっており、ゲート電極形成後の層間絶縁膜を形成する際ゲート電極間にボイドが発生することが問題となる。

## 【 0 0 0 4 】

このため、層間絶縁膜としては酸化膜にボロン（B）及びリン（P）がドーピングされたBPSSG膜が用いられる。BPSSG膜は比較的低温で軟化するため、BPSSG膜堆積と熱処理（ $800^{\circ}\text{C}$ 程度）により、トランジスタ特性を損なうことなく良好な埋め込み特性を発揮することが出来る。

## 【 0 0 0 5 】

以下、図面を参照しながら、BPSSG膜を層間絶縁膜として用いたコンタクト形成の従来方法について説明する。なお図4は、メモリなどの用途用のスイッチング素子としての機能を有する半導体装置の一部を抜き出して示したものである。

## 【 0 0 0 6 】

まず図4（a）に示すように、シリコン基板1上に、MOS型トランジスタの形成を行う。ここで2はゲート電極（たとえばポリシリコン膜）、3はサイドウォールスペーサ（例えばTEOS膜）である（なお、ここではゲート酸化膜、ソース・ドレイン領域は図示していない）。

## 【 0 0 0 7 】

次にゲート電極の上に層間絶縁膜としてBPSSG膜4を堆積し、熱処理によりBPSSG膜4をリフローさせ、ゲート電極間にボイドが存在しない状態とし、その後TEOSなどのノンドーピング酸化膜5を堆積する。ここで、BPSSG膜上にノンドーピング膜を堆積するのは、BPSSG膜中のB、Pが空気中の水分と反応して、 $\text{BPO}_4$ 、 $\text{B}_2\text{O}_3$ 、 $\text{PO}_4$ などのBとPとOとの化合物を生成、析出することによ

り、これがB P S G膜上の異物としてなり、その後の半導体装置の製造において歩留まりを大きく下げる原因となるためである。

## 【 0 0 0 8 】

続いて、図4（b）に示すように、ケミカルメカニカルポリッシュ（CMP）によりノンドープ酸化膜5表面の平坦化を行う。

## 【 0 0 0 9 】

次に、図4（c）に示すように、フォトリソグラフィーによりフォトレジスト6に開口領域7を形成する。

## 【 0 0 1 0 】

その後、図4（d）に示すように、フォトレジスト6をマスクとしてノンドープ酸化膜5とB P S G膜4のドライエッチングを行い、コンタクトホール形成用の開口8を形成する。

## 【 0 0 1 1 】

## 【発明が解決しようとする課題】

フォトリソグラフィーにおけるレジストパターン寸法精度を得るためには、レジストを塗布する膜表面の平坦化が必須である。

## 【 0 0 1 2 】

しかし、ゲート電極形成領域が疎に分布する領域と密に分布する領域がある場合、以下のような課題がある。具体的に、従来方法に基づいて、疎密な配置のゲート電極領域上に絶縁膜を堆積する場合について説明する。

## 【 0 0 1 3 】

ゲート電極形成領域に疎密を有する半導体基板に対し、B P S G膜4の堆積および熱処理によるリフローを行うと、図5に示すように、B P S G膜4の膜厚（D f、D g）がゲート電極パターンに依存する現象が発生する。

## 【 0 0 1 4 】

すなわち、図5に示すようにB P S G膜4の膜厚 $D_c > D_d$ より、ゲート電極が密な領域では膜厚が厚く、疎な領域では薄くなる。このような状態でノンドープ酸化膜5を堆積しCMPを行うと、B P S G膜4とノンドープ酸化膜5とのトータルの層間絶縁膜の厚さは一定であるが、B P S G膜4とノンドープ酸化膜5

の膜厚比は一定とは限らない。

【 0 0 1 5 】

従って、コンタクトホール8の開口を行う際に、問題が発生する。具体的には、コンタクトホール8の開口は、 $C_xF_y$ 系のガス（例えば、 $C_4F_8$ 、 $C_5F_8$ 、 $C_4F_6$ ）を用いたドライエッチングにより行い、この際の絶縁膜に対するエッチングレートは、BPSG膜4の方がノンドープ酸化膜5より速い。よって、図5に示したように、従来の方法でコンタクトホール8の開口を行うと、ゲート電極のパターン疎密により、コンタクトホール8の開口状態が変わることになる。

【 0 0 1 6 】

つまり、コンタクトホール8cのようにBPSG膜4の膜厚 $D_c$ 、ノンドープ酸化膜5の膜厚が $d_c$ である場合は、コンタクトホール8dと比較してエッチング速度が速く、コンタクトホール8dよりも先に基板に達することになる。それは、エッチングがされにくいBPSG膜4の膜厚がコンタクトホール8cの $D_c$ と比較して、コンタクトホール8dの方が $D_d$ と薄く、エッチングが容易なノンドープ酸化膜5の膜厚が、コンタクトホール8cの $d_c$ と比較して $d_d$ と厚いためである。

【 0 0 1 7 】

その結果、ゲート電極形成領域が密な領域では、BPSG膜厚の割合が大きいことためエッチングの進行が速く、基板のエッチング量が多くなるため基板までエッチングされ、リークが発生させることになる。また逆に、ゲート電極形成領域が疎な領域では、BPSG膜厚の割合が小さいことためエッチングの進行が遅く、コンタクトが基板に達しないオープン不良が発生させることになる。

【 0 0 1 8 】

更に、コンタクトホール8底部の位置がばらつくため、コンタクトホール8底部の面積もばらつき、よりコンタクト抵抗のばらつきも大きくなる。

【 0 0 1 9 】

そこで本発明は、ゲート電極形成領域が疎な場合と密な場合があるとき、若しくは配線間の距離が狭い場合と広い場合、また配線幅に違いがある場合であっても、エッチングレートの異なる2層の絶縁膜に対して安定したコンタクトホール



を形成する方法を提供することを目的とする。

#### 【 0 0 2 0 】

##### 【課題を解決するための手段】

上記課題を解決するために、ゲート電極形成領域が疎な場合と密である場合があるとき、ゲート電極が形成された半導体基板上に第1の絶縁膜を堆積する工程と、第1の絶縁膜を平坦化する工程と、第1の絶縁膜上に第2の絶縁膜を堆積する工程と、第1の絶縁膜および第2の絶縁膜に半導体基板に達するコンタクトホールを形成する工程と、を備えることを特徴とするコンタクトホールの形成方法を提供する。

#### 【 0 0 2 1 】

その結果、ゲート電極形成領域の疎密にかかわらず、エッチングレートの異なる2層の絶縁膜の膜厚比を等しくすることが出来るため、安定したコンタクトホールを形成することが出来る。

#### 【 0 0 2 2 】

##### 【発明の実施の形態】

本発明の実施形態について、図面を参照しながら説明する。なお本発明の実施形態を説明する図は、メモリなどの用途用のスイッチング素子としての機能を有する半導体装置の一部を抜き出して示したものである。

#### 【 0 0 2 3 】

##### （実施形態1）

本実施形態は、2層の絶縁膜をそれぞれ平坦化することにより、ゲート電極形成領域が疎な分布を有する場合と、密な分布を有する場合のどちらであっても、均一なコンタクトホールを形成することが出来る方法を提供出来る点に特徴がある。

#### 【 0 0 2 4 】

まず、図1（a）に示すように、シリコン基板1上に、トランジスタの形成を行う。ここで、2はゲート電極（たとえばポリシリコン膜200nm）、3はサイドウォールスペーサである。またサイドウォールスペーサ3は、例えばTEOS膜100nmを堆積後、ドライエッチによりエッチバックで形成される。なお

、ここではゲート酸化膜、ソース・ドレイン領域は図示されていない。

【 0 0 2 5 】

次に、トランジスタが形成された基板の上に、層間絶縁膜となる B P S G 膜 4 の堆積を行う。成膜条件は例えば、C V D（化学的気相成長）法により膜厚 1 0 0 0 n m、ボロン（B）濃度 3 . 0 重量%、リン（P）濃度 5 . 0 重量%を用いる。

【 0 0 2 6 】

その後、熱処理により B P S G 膜 4 をリフローさせることにより、ゲート電極間にボイドが発生しない絶縁膜の堆積を行う。ここで熱処理は、例えば 8 0 0 ° C、3 0 分の条件で行う。

【 0 0 2 7 】

続いて図 1（b）に示すように、B P S G 膜 4 を C M P 工程により平坦化する。C M P 工程では、平坦化後の目標 B P S G 膜厚、例えば 6 0 0 n m に対し時間などの調整を行いながら、平坦化を行う。本工程が、本実施形態のポイントとなる工程である。この点については、後程詳述する。

【 0 0 2 8 】

次に、図 1（c）に示すように、C M P 工程を行い平坦化した B P S G 膜 4 表面上に、ノンドープ酸化膜 5 の堆積を行う。本実施形態では、T E O S 膜 5 0 n m を C V D 法により形成するが、B、P などの不純物を含まない、もしくは不純物濃度が大変低い絶縁膜であれば、T E O S 膜以外の膜でもよい。B P S G 膜表面を露出させておくと、B P S G 膜中の B、P が空気中の水分と反応して、例えば  $B P O_4$ 、 $B_2 O_3$ 、 $P O_4$  を生成、析出することにより、これが B P S G 膜上の異物となり、その後の半導体装置の製造において歩留まりを大きく下げる原因となるためである。

【 0 0 2 9 】

ここで本実施形態では、B P S G 膜 4 を C M P 工程により平坦化した後、ノンドープ酸化膜 5 の堆積までに時間的制約を行う必要がある。

【 0 0 3 0 】

図 3 は、横軸にウェハの放置時間、縦軸にウェハ 1 枚あたりの異物数の個数を

取り、8インチウェハ全面における異物数の推移を調べた結果を示した図である。この図より、半導体装置を製造する通常のクリーンルームの環境下では、BPSG膜の平坦化後約48時間経過した後から、ウェハ上の異物数が急激に増加することが分かる。従って、本実施形態ではある程度のマージンも考慮して、CMP工程においてBPSG膜4を平坦化した後24時間以内に、ノンドープ酸化膜5、例えばTEOS膜を堆積する。その結果、平坦化したBPSG膜4上に異物が発生するのを防ぐことが出来、より均一にノンドープ酸化膜5を堆積することが出来る。

#### 【0031】

その後、図1(c)に示すように、フォトリソグラフィーによりフォトレジスト6の開口領域7の形成を行う。

#### 【0032】

最後に、図1(d)に示すように、フォトレジスト6をマスクとし、 $C_xF_y$ 系のガス、例えば $C_4F_8$ 、 $C_5F_8$ 、 $C_4F_6$ を用いてノンドープ酸化膜5とBPSG膜4に対してドライエッチングを行い、コンタクトホール形成用の開口8を形成する。

#### 【0033】

ここで、本実施形態の特徴である、BPSG膜4を平坦化することにより得られる効果について説明する。

#### 【0034】

本実施形態では、BPSG膜4を平坦化し、その平坦な膜表面上にBPSG膜4よりエッチングレートの遅いノンドープ酸化膜5を堆積し平坦化する。よって、図2に示すように、ゲート電極形成領域の疎密、配線間距離、若しくは配線幅の違いに関係なく、BPSG膜4とノンドープ酸化膜5の膜厚比を一定( $D_a/d_a = D_b/d_b$ )にすることが出来る。

#### 【0035】

従って、コンタクトホールをドライエッチングにより開口する際に、BPSG膜とTEOS膜のようにエッチングレートの異なる2種以上の絶縁膜に対して一度にエッチングを行う場合であっても、コンタクトホール間ではエッチングレー

トは変化せず、均一な深さを持つコンタクトホールを形成することが出来る。

#### 【 0 0 3 6 】

以上本実施形態によると、コンタクトホール間のエッチングレートを均一にすることができるため、ゲート電極形成領域の疎密に関わらず、均一な深さのコンタクトホールを形成することが出来る。従って、ゲート電極形成領域が密な部分ではエッチング量が多くなるために、基板までエッチングが進行して電流のリークが発生する現象、若しくはゲート電極形成領域が疎である場合にエッチング量が少なくなるために、充分エッチングされずコンタクトホールのオープン不良が発生する現象等を防止することが出来る。

#### 【 0 0 3 7 】

また、エッチングレートが均一であると、コンタクトホール間のエッチング時間及びコンタクトホールの深さが揃うため、コンタクトホール底部の面積のばらつきも少なくなり、コンタクト抵抗のばらつきを抑制することが出来る。その結果、ゲート電極形成領域が疎であるか密であるかにかかわらず、安定したコンタクトホールを形成することが出来る。

#### 【 0 0 3 8 】

##### (実施形態 2)

本実施形態では、B P S G 膜 4 の平坦化後ノンドープ酸化膜 5 の堆積直前に、洗浄を行う点に特徴がある。

#### 【 0 0 3 9 】

まず、実施形態 1 と同様に、図 1 ( a ) に示すように、シリコン基板 1 上に、トランジスタの形成を行う。ここで、2 はゲート電極（たとえばポリシリコン膜 2 0 0 n m）、3 はサイドウォールスペーサである。またサイドウォールスペーサ 3 は、例えば T E O S 膜 1 0 0 n m を堆積後、ドライエッチによるエッチバックで形成される。なお、ここではゲート酸化膜、注入領域は図示されていない。

#### 【 0 0 4 0 】

次に、トランジスタが形成された基板上に、層間絶縁膜として B P S G 膜 4 の堆積を行う。成膜条件として、例えば C V D（化学的気相成長）法により膜厚 1

0 0 0 n m、ボロン（B）濃度 3. 0 重量%、リン（P）濃度 5. 0 重量%を用いる。

#### 【 0 0 4 1 】

その後、熱処理により B P S G 膜 4 をリフローさせることにより、ゲート電極間にボイドが発生しない絶縁膜の堆積を行う。ここで熱処理は、例えば 8 0 0 °C、3 0 分の条件で行う。

#### 【 0 0 4 2 】

続いて図 1（b）に示すように、B P S G 膜 4 を CMP 工程により平坦化する。CMP 工程では、平坦化後の目標 B P S G 膜厚 6 0 0 n m に対し、CMP 工程時間などの調整を行いながら、膜表面の平坦化を行う。このあと、平坦化された B P S G 膜 4 の表面を洗浄する。本実施形態では、この平坦化された B P S G 膜 4 表面を洗浄し、不純物を除去する工程があることに特徴がある。この工程については、後程詳述する。

#### 【 0 0 4 3 】

次に、図 1（c）に示すように、CMP 工程において平坦化された B P S G 膜 4 上にノンドープ酸化膜 5 の堆積を行う。実施形態 1 と同様に、例えば T E O S 膜 5 0 n m を C V D 法により形成する。

#### 【 0 0 4 4 】

最後に、図 1（d）に示すように、フォトリジスト 6 をマスクとし、 $C_xF_y$ 系のガス、例えば  $C_4F_8$ 、 $C_5F_8$ 、 $C_4F_6$  を用いてノンドープ酸化膜 5 と B P S G 膜 4 に対してドライエッチングを行い、コンタクトホール形成用の開口 8 を形成する。

#### 【 0 0 4 5 】

ここで、本実施形態の特徴である B P S G 膜表面の洗浄工程について説明する。

#### 【 0 0 4 6 】

CMP 工程において B P S G 膜 4 表面の平坦化を行った後ノンドープ酸化膜 5 を堆積する前に、2 4 時間以上経過した場合、B P S G 膜中の B、P が空気中の水分と反応して、例えば  $BPO_4$ 、 $B_2O_3$ 、 $PO$  を生成、析出するおそれがある

。よって、ノンドープ酸化膜 5 を堆積する前に、B P S G 膜 4 表面の析出物を除去しておく必要がある。

【 0 0 4 7 】

そこで、半導体基板 1 を 1 1 0 ° C の硫酸中に 1 0 分間浸漬させ、特に B P S G 膜 4 表面を洗浄し、その後水で硫酸を洗い流した後乾燥させる。その他、除去方法としては、例えば  $B P O_4$ 、 $B_2 O_3$ 、 $P O$  を溶解するものとして、例えば塩酸、硝酸、フッ酸などの溶液に浸漬させ、洗浄する方法が挙げられる。

【 0 0 4 8 】

更に、析出物のみを選択的に除去する、つまり B P S G 膜を溶解しない条件で洗浄を行うと、繰り返し洗浄を行っても、その都度不純物のみ除去することが出来る。従って、定期的に洗浄工程を行っても、B P S G 膜の膜減りを考慮する必要なく、制限時間を超えた場合にも再洗浄することが出来、洗浄後の放置時間を管理することなく、半導体基板の不良を防ぐことが出来る。

【 0 0 4 9 】

またノンドープ酸化膜について、本実施形態では T E O S 膜を用いたが、C V D 法などで形成される酸化膜であれば、必ずしもノンドープ膜である必要はなく、例えばシリコン窒化膜でもよい。

【 0 0 5 0 】

以上本実施形態によると、B P S G 膜 4 の C M P 工程から 2 4 時間以上経過した場合であっても、B P S G 膜 4 表面の析出物を除去することが出来るため、ノンドープ酸化膜 5 を均一に堆積することが出来る。つまり、確実に B P S G 膜上の異物除去を行うため、B P S G 膜平坦化後の経過時間を管理する必要がない。よって、B P S G 膜堆積後、ノンドープ膜堆積前までの間に放置時間があつた場合であっても、深さの揃ったコンタクトホールを形成することが出来るため、半導体装置の製造における歩留まり低下を防ぐことが出来る。

【 0 0 5 1 】

【発明の効果】

本発明によると、エッチングレートの異なる 2 種以上の層間絶縁膜に対してコンタクトホールを形成する場合に、各層間絶縁膜の表面を平坦化した後、上に膜



を堆積することにより、ゲート電極形成領域の疎密に基づく絶縁膜の膜厚バラツキを抑制することができるため、ゲート電極形成領域の疎密に関わらず、各箇所  
に存在するコンタクトホールのエッチングレートを一定とすることが出来る。

【 0 0 5 2 】

その結果、コンタクトホール形成時のエッチング量、コンタクトホール底部の面積等を均一にすることが出来る。よって、コンタクト抵抗値、リーク電流値のばらつきが少なく、高い歩留まりを有し、高性能、高品質である半導体装置を提供することが出来る。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 の工程断面図

【図 2】

本発明のコンタクトホール形成後の断面図

【図 3】

基板放置時間と異物発生数の関係を示す図

【図 4】

従来方法の工程断面図

【図 5】

従来方法によるコンタクトホール形成後の断面図

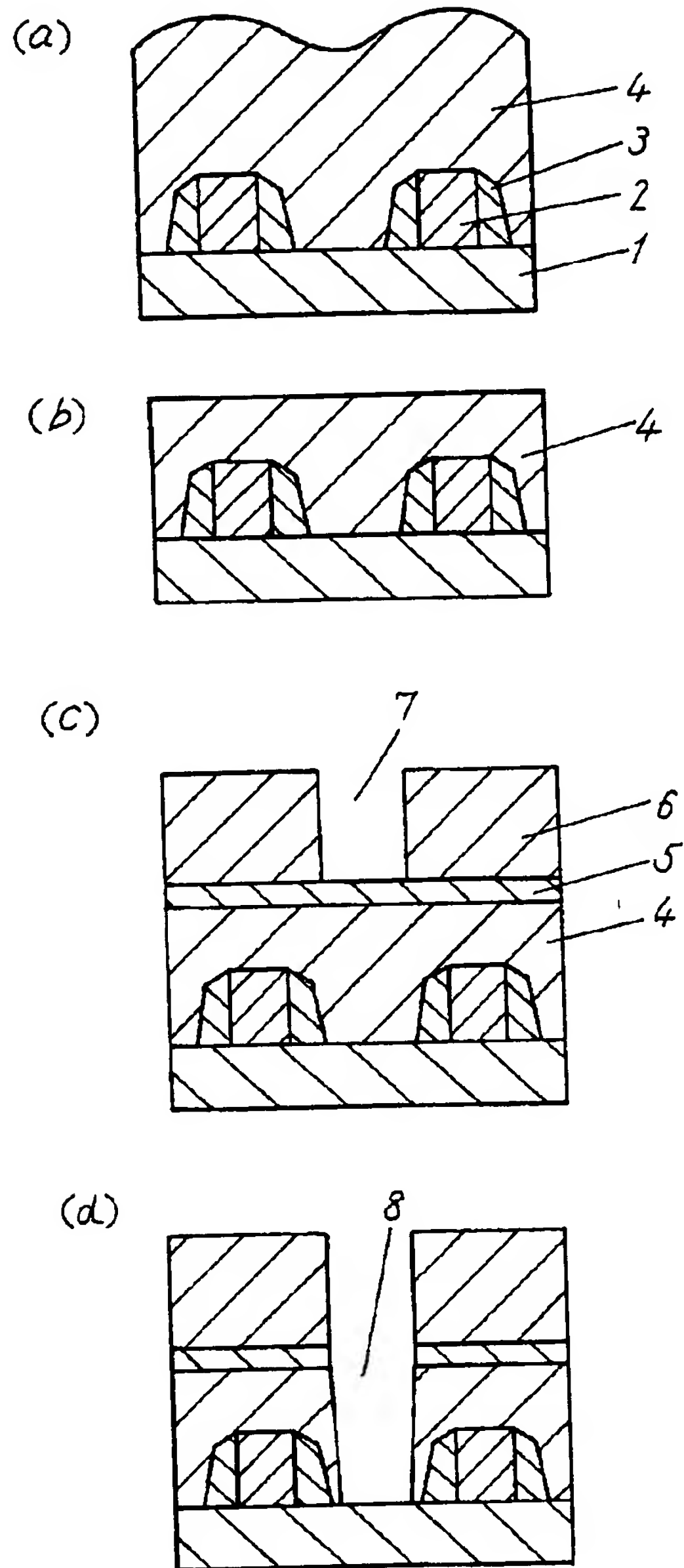
【符号の説明】

- 1 半導体基板
- 2 ポリシリコン
- 3 サイドウォールスペーサ
- 4 B P S G 膜
- 5 T E O S 膜
- 6 フォトレジスト
- 7 レジストパターンの開口部
- 8 コンタクトホール開口部

【書類名】

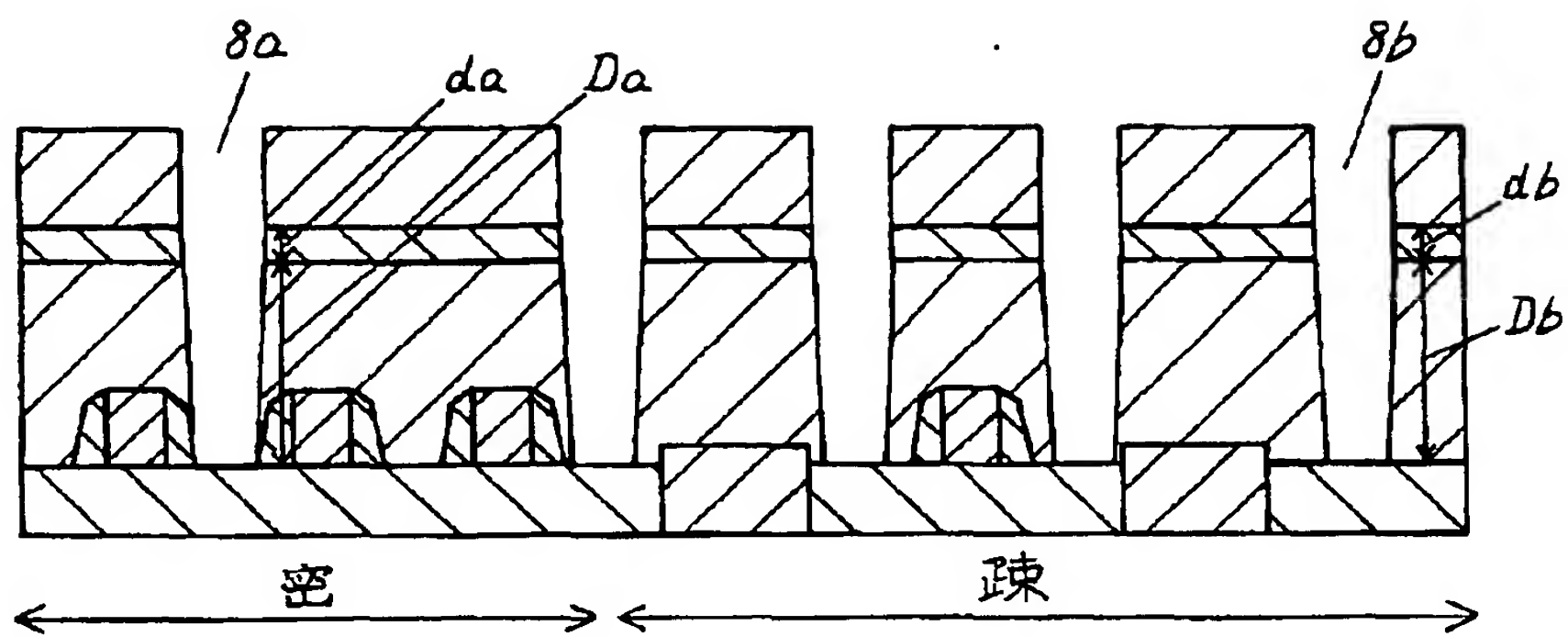
図面

【図 1】

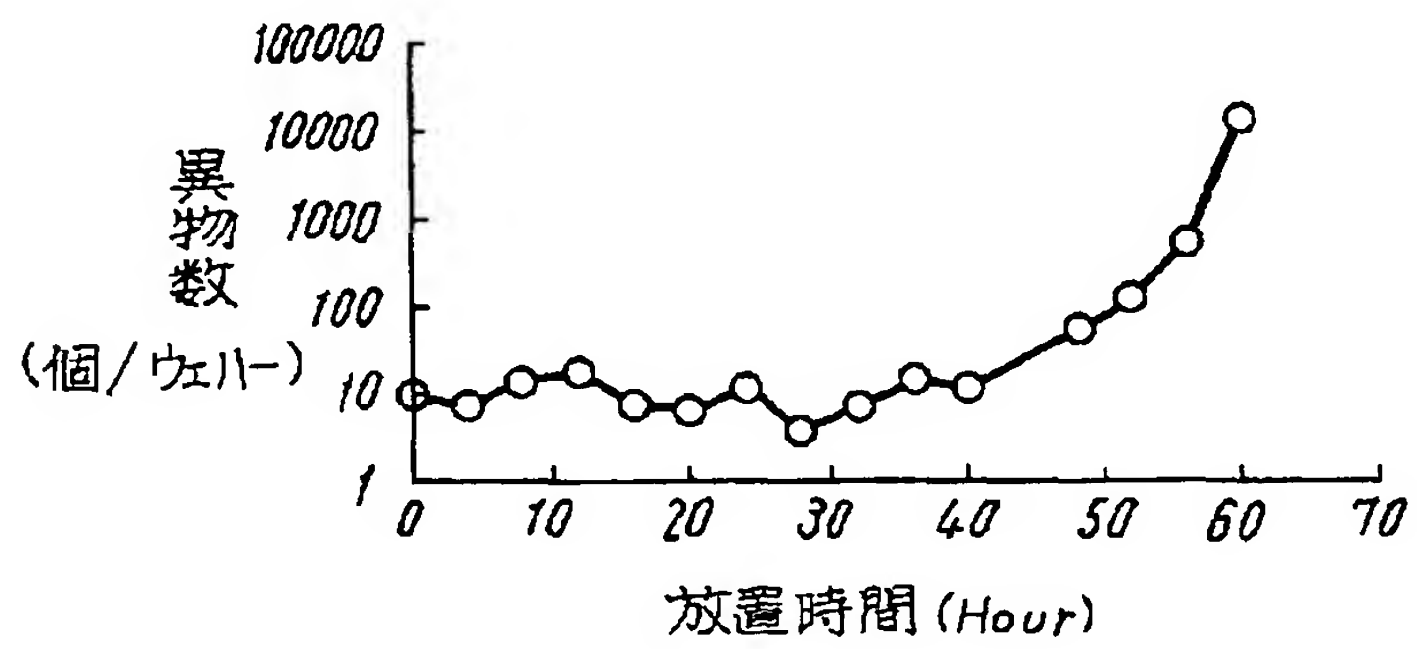




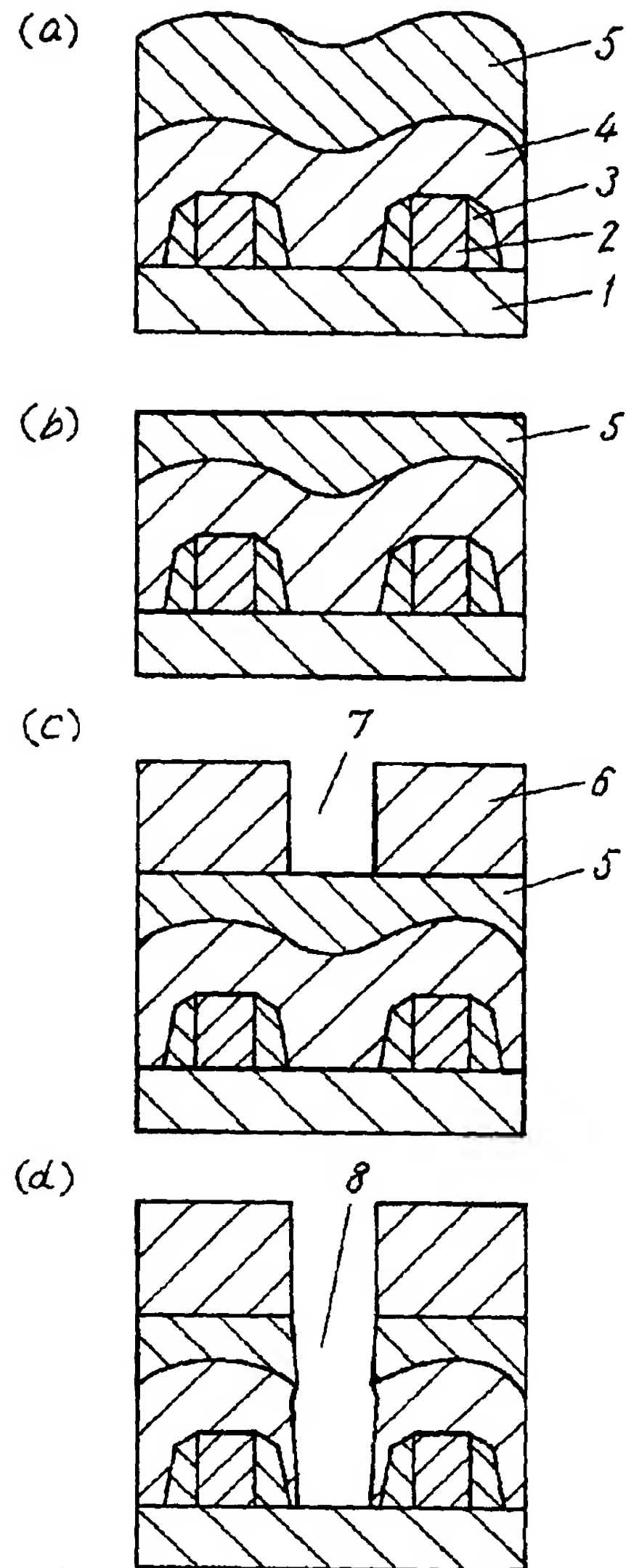
【図2】



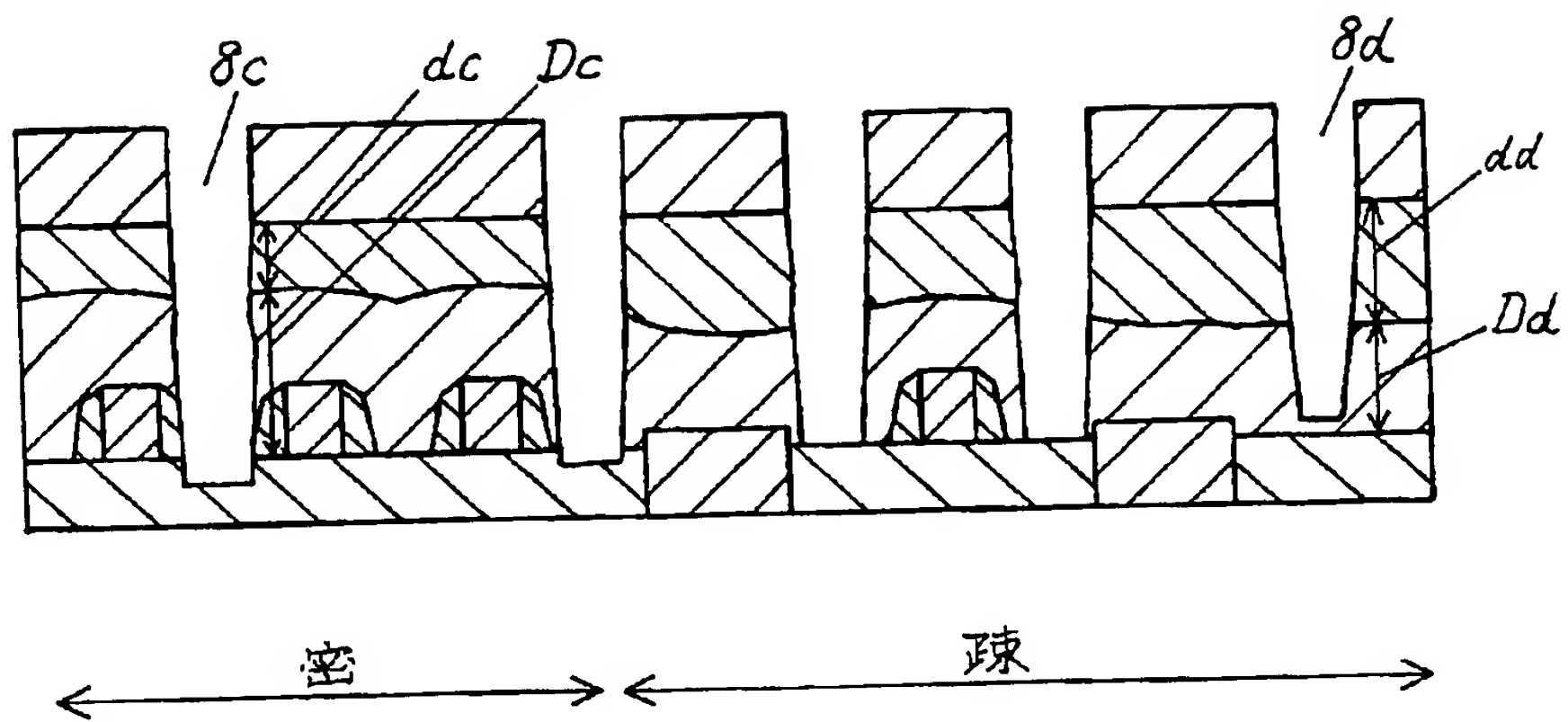
【図3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 ゲート電極の疎密にかかわらず、安定したコンタクトホールを形成する方法を提供する。

【解決手段】 ゲート電極形成領域が疎な場合と密である場合があるとき、トランジスタが形成された半導体基板上に B P S G 膜を堆積する工程と、B P S G 膜を平坦化する工程と、B P S G 膜上に絶縁膜を堆積する工程と、B P S G 膜および絶縁膜に半導体基板に達するコンタクトホールを形成する工程と、を備えることを特徴とするコンタクトホールの形成方法を提供する。その結果、ゲート電極形成領域の疎密にかかわらず、基板からの B P S G 膜厚が一定となるため、コンタクトホール間のエッチングレートが一定となり、コンタクト抵抗、リーク電流値のばらつきの少ないコンタクトホールを形成することが出来る。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[ 変更理由 ] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社